

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-007404

(43)Date of publication of application : 10.01.1995

(51)Int.Cl.

H03K 17/687

(21)Application number : 05-274654

(71)Applicant : TEXAS INSTR DEUTSCHLAND GMBH

(22)Date of filing : 02.11.1993

(72)Inventor : BAYER ERICH

(30)Priority

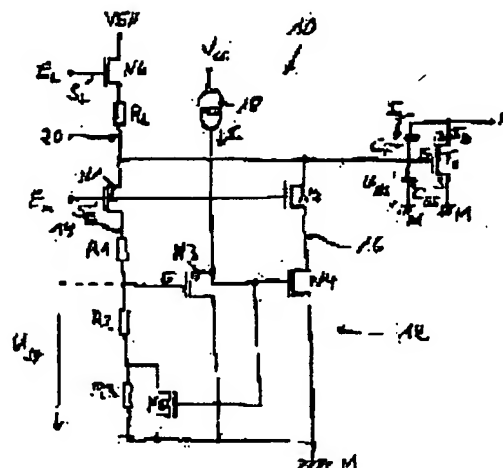
Priority number : 92 4237125 Priority date : 03.11.1992 Priority country : DE

(54) TRANSISTOR DRIVING CIRCUIT LAYOUT

(57)Abstract:

PURPOSE: To make the charges stored in the gate-source capacitance of a MOS field effect transistor dischargeable in accordance with a time constant specified by means of the internal impedance of a discharge circuit.

CONSTITUTION: A discharge circuit 12 is made switchable between two states by connecting the circuit 12 to the gate circuit of a MOS field effect transistor T0. The states are decided by a relatively small internal impedance and a relatively large internal impedance and the state specified by the relatively small internal impedance is attained immediately when the gate-source voltage U_{GS} of the transistor T0 drops from a preset limit value.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-7404

(43) 公開日 平成7年(1995)1月10日

(51) Int. Cl.⁶

H 0 3 K 17/687

識別記号

庁内整理番号

P I

技術表示箇所

9473-5 J

H 0 3 K 17/ 687

A

審査請求 未請求 請求項の数1 OL (全 8 頁)

(21) 出願番号 特願平5-274654

(22) 出願日 平成5年(1993)11月2日

(31) 優先権主張番号 P 4 2 3 7 1 2 5 2

(32) 優先日 1992年11月3日

(33) 優先権主張国 ドイツ (DE)

(71) 出願人 592028190

テキサス インストルメンツ ドイツェラ
ンド ゲゼルシャフト ミット ベシュレ
ンクテル ハフツング

ドイツ連邦共和国フライジング ハゲルテ
イシュトラッセ 1

(72) 発明者 エーリッヒ バイエル

ドイツ連邦共和国ラントシュット, アム
ブランケンフェルト 15

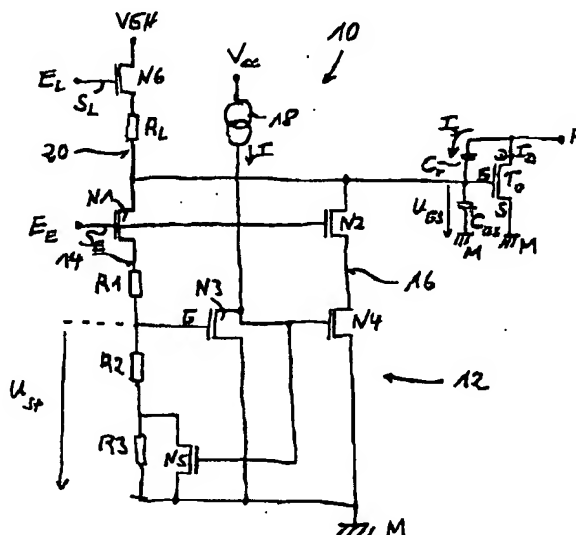
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 トランジスタ駆動回路配置

(57) 【要約】 (修正有)

【目的】 MOS電界効果トランジスタ (T₀) のゲート・ソースキャパシタンス (C_{gs}) に蓄積された電荷を、放電回路 (12) の内部インピーダンスによって規定される時定数に従って放電できるようにする。

【構成】 放電回路 (12) をMOS電界効果トランジスタのゲート回路に接続し、この放電回路 (12) を、2つの状態間で切換えられるようにする。これら状態は、比較的小さな内部インピーダンスと、比較的大きな内部インピーダンスとによって決定されるもので、この比較的小さな内部インピーダンスによって規定される状態は、ゲート・ソース電圧 (U_{gs}) が予じめ決められた限度値より低下すると直ぐに達成されるものとする。



1

【特許請求の範囲】

【請求項1】 金属酸化物半導体（MOS）電界効果トランジスタ、特に、パワーMOS電界効果トランジスタのゲートを制御するに当り、このパワーMOS電界効果トランジスタのゲート電極とソース電極との間に、切換え可能な放電回路を設け、この放電回路を介して、ゲート・ソースキャパシタンスに保持された電荷を、この放電回路の内部インピーダンスに依存した値を有する時定数に従って放電し得るようにした回路配置において、上記MOS電界効果トランジスタのゲート・ソース電圧が予じめ決められた限度値より下に低下すると直ぐに、比較的小さな内部インピーダンスによって規定された状態になるものとし、前記放電回路を、比較的大きな内部インピーダンスおよび前記比較的小さな内部インピーダンスのそれぞれによって規定された2つの状態の間が切換えられるようにしたことを特徴とする回路配置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、金属酸化物半導体（MOS）電界効果トランジスタを駆動する回路配置に関し、特にMOS電界効果トランジスタのゲート電極とソース電極との間に、切換え可能な放電回路を有するパワーMOS電界効果トランジスタに関するものである。この放電回路を介して、ゲート・ソースキャパシタンス中に保持された電荷を、この放電回路の内部インピーダンスに依存した値を有する時定数に従って放電することができる。

【0002】

【従来技術】一般に、パワー出力段において、対応するパワーMOS電界効果トランジスタを余り急速にオン／オフスイッチングしないようにして、出力電圧または出力電流のスルーレートを予じめ決められた最大値に維持できるように注意を払う必要がある。

【0003】従って、いずれのケースでも、ゆっくりスイッチオフするために、放電回路を、MOS電界効果トランジスタのゲート電極とソース電極との間に切換可能に設けている。この結果、このMOS電界効果トランジスタのゲート・ソースキャパシタンスは、放電回路のキャパシタンスと内部インピーダンスに依存した値を有する時定数に従って放電するようになる。

【0004】通常、ゲート電圧の所望の立ち下り時間は、このゲート・ソースキャパシタンスと直列回路を構成するオーミック抵抗また、この放電回路に供給された電流によって確立されている。

【0005】

【発明が解決しようとする課題】MOS電界効果トランジスタを制御するこのような手段によって、出力電圧または出力電流のスルーレートを予じめ決められた値に制限することが可能となるが、これによって、放電回路の内部インピーダンスを更に大きな値に選択するほど、所

2

望立ち下り率が低下してしまう。このことは、以下のよう欠点を有するようになる。即ち、MOS電界効果トランジスタのゲート電極には、この放電回路の比較的大きな内部インピーダンスが負荷として接続されており、特に、反転キャパシタンスを介してこの放電回路にノイズが組合わされている場合には、このことによって、すでにスイッチオフしたMOS電界効果トランジスタが、制御不能なオン状態に戻ってしまう欠点がある。

【0006】

【課題を解決する手段】本発明の目的は、ゲート・ソースキャパシタンスをゆっくり放電することによってMOS電界効果トランジスタのスイッチングオフを確実に制御できることのみならず、同時に、累積（ノイズ）電圧に対して反応しないような上述した種類の回路配置を特に容易に実現することである。

【0007】この目的は、本発明の放電回路によって達成され、この放電回路は、ゲート・ソース電圧が予じめ決められた限界値より下がるとすぐに、比較的小さな内部インピーダンスによって決められる状態を仮定して、比較的大きな内部インピーダンスおよび比較的小さな内部インピーダンスによってそれぞれ決定される2つの状態の間で、切換え可能である。好ましくは、この放電回路の内部インピーダンスは、ゲート・ソース電圧が予じめ決められた限界値より低い場合には、ゼロの領域内の値を有する。

【0008】

【作用】このような実施例によって、極めて信頼できるゲートコントロール回路が以下のような簡単な手段によって達成される。即ち、この簡単な手段は、この回路に組合わされた累積（ノイズ）電圧に対して、實際上、反応しないものであるが、しかし乍ら、MOS電界効果トランジスタのスイッチオフを制御可能とし、この結果、ゲート・ソースキャパシタンスを放電するのに必要な時間および、これによりゲート電圧の立ち下り時間を延長することができる。これら手段によって、MOS電界効果トランジスタの出力信号のスルーレートに対する問題も生じさせず、且つ、累積（ノイズ）電圧に対して強く反応する特性に考慮しないで、あらゆる予じめ決められた上限値を保持できる。

【0009】スイッチオフ動作を2つの継続する時間期間に分割し、これの第1時間期間中に、ゲート・ソース電圧が依然として予じめ決められた限度値より高くなり、この第1時間期間は、放電回路の比較的大きな内部インピーダンスによって特徴付けられており、更に、この第2時間期間によって、ゲート・ソース電圧が予じめ決められた限度値より低下するとすぐに比較的小さな内部インピーダンスを確立するようになる。

【0010】この第1期間を決める比較的大きな内部インピーダンスによってゲート・ソースキャパシタンスの比較的ゆっくりした放電が可能となる一方、次に、比較

3

的大きな内部インピーダンスによって、MOS電界効果トランジスタのゲート電極における放電回路に、特に反転キャパシタンスを介して組合わされた累積（ノイズ）電圧を、十分に低い値に維持できるようになり、これによって、このMOS電界効果トランジスタをスイッチオフの状態に保持できる。予じめ決められた限度値より低いゲート・ソース電圧における放電回路の内部インピーダンスがゼロの領域内の値であるものと仮定すると、このゲート電極において累積された、あらゆる電圧は、最小値まで減少するようになる。

【0011】ゲート・ソース電圧の予じめ決められた限度値を適切に選択することによって、この限度値に相当するドレイン電流は、すでに、無視できるような小さな値になっているか、または、ゼロの領域内の値となっているものと仮定できる。この結果、このトランジスタに有害な、残存している、あらゆる累積電圧スパイクに対して、不可能なものとなってしまう、このMOS電界効果トランジスタの出力におけるゲート・ソースキャパシタンスの残存する急速な放電のために、例えば、誘導性負荷や通常、存在しているラインインダクタンスによってこのような電圧スパイクが生じる。

【0012】特に、簡単且つ高信頼の回路構成が、並列接続された2つの電流通路によって放電回路を形成することによって達成される。これら電流通路の一方によって、比較的高いインピーダンス値を禁止すると共に、他方の手段によって比較的小さなインピーダンス値を禁止する電流通路を、ゲート・ソース電圧が指定可能なクランプ値を超過した場合に、すぐにバイパスさせることができる。従って、ゲート・ソースキャパシタンスのゆっくりした放電を決める比較的大きなインピーダンスを、予じめ決められた電圧限度値が短時間で低下するとすぐに、好ましくはゼロの領域に存在する比較的小さな内部インピーダンスで、実用上、短絡する。

【0013】本発明の回路配置の実施例によれば、このMOS電界効果トランジスタのゲート電極を、充電用抵抗を有する充電回路に追加的に接続することができる。この充電用抵抗手段によって、ゲート・ソースキャパシタンスへの充電を決定する時定数が確立される。充電回路および放電回路の接続（割当て）が択一的に且つ有効的に実行されるので、この結果として、MOS電界トランジスタのゲート電極は、これら2つの回路の一方のみに常時、割当てられるようになる。

【0014】従属クレームには、本発明の回路配置の実施例の利点が記載されている。

【0015】

【実施例】以下、本発明のMOS電界効果トランジスタ駆動回路配置の実施例を、添付図面を参照し乍ら説明する。図1は、金属酸化物半導体（MOS）電界効果トランジスタT。のゲートを制御する従来の回路配置を示し、この回路には、このMOS電界効果トランジスタT

4

。のゲート電極Gと直列接続した抵抗R₁が設けられている。この抵抗R₁をスイッチS₁を経て電源電圧V_{cc}に接続すると共に、スイッチS₂を経て接地Mとすることもできる。MOS電界効果トランジスタT。のドレイン電極Dを出力ターミナルAに接続する。このソース電極Sを接地Mする。

【0016】このMOS電界効果トランジスタT。をスイッチオンしたい場合には、スイッチS₁を閉路する一方、スイッチS₂を開放の状態に維持する。従って、ゲート・ソースキャパシタンスC_{gs}を、ゲート電圧が電源電圧V_{cc}と実質的に同一となるまで、抵抗R₁を介して充電する。

【0017】また、このMOS電界効果トランジスタT。をスイッチオフした場合には、スイッチS₁を開放する一方、スイッチS₂を閉路状態のままとする。この結果、ゲート・ソースキャパシタンスC_{gs}が抵抗R₁を介して放電される。

【0018】ゲート・ソースキャパシタンスC_{gs}と直列の抵抗R₁として高い値を選ぶことによって、スイッチオン/オフ動作を決定する時定数用の比較的大きな値が得られる。即ち、この時定数値は、電源電圧V_{cc}または接地電位Mに直結したゲート電極Gに比較して大きいので、このMOS電界効果トランジスタT。の出力信号におけるスルーレートは限度値内に留まることができる。しかし乍ら、この公知の回路配置には以下のような欠点が存在する。即ち、ゲート電極Gには、特に、MOS電界効果トランジスタがすでにオフした場合に、このコントロール回路の比較的大きな内部インピーダンスR_iが負荷として掛るようになる。例えば、反転キャパシタンスC_{cr}を介してこのコントロール回路に発生するノイズ信号（累積電圧）によって、ゲート電圧が、このMOS電界効果トランジスタT。が不所望にスイッチオンする程度まで上昇してしまう欠点がある。

【0019】このようなMOS電界効果トランジスタT。の制御不可能なスイッチオン動作によって、このトランジスタT。のスレッシュホールド電圧の4倍〜10倍にもなる値を有するノイズパルス（スパイク）が、実際にすぐに、発生してしまうようになる。このことは、実際に、関連したトランジスタに依存して、反転キャパシタンスC_{cr}が、例えば、C_{gs}の1/4から1/10の領域内の値を有する事実に基づくものである。

【0020】図2は、MOS電界効果トランジスタT。のゲートを制御する、別の従来の回路配置を示す。この従来回路配置は、以下の点のみが図1で示したものと相違するものである。即ち、上述のオーミック抵抗R₁を、オン/オフ動作中に電流I₁およびI₂をそれぞれ供給する2つの定電流源によって置き換えただけである。

【0021】この場合においても、同様に、コントロール回路に比較的大きな内部インピーダンスが、MOS電

10

20

30

40

50

界効果トランジスタT。のゲート電極に対して、このトランジスタがオフの場合においても負荷が掛る手段によって生じてしまう。實際上、反転キャパシタンス C_r を介してこの回路中に生じるノイズによって、ゲート電圧が、MOS電界効果トランジスタT。が再び不所望にもスイッチオンしてしまう範囲まで上昇することである。

【0022】図3は、本発明の一実施例による回路配置10の原理を示し、これを金属酸化物半導体(MOS)電界効果トランジスタT。のゲートをコントロールするように設計し、特に、このMOS電界効果トランジスタT。をパワー出力段のパワーMOS電界効果トランジスタとすることができる。

【0023】ここで、このMOS電界効果トランジスタT。のドレイン電極Dを同様に、出力ターミナルAに接続する。次に、このトランジスタT。のソース接続Sを接地Mに接続する。ゲート電極Gとソース電極Sとの間に、ゲート・ソースキャパシタンス C_{gs} が作用し、他方、ドレイン電極Dとゲート電極Gとの間に、反転キャパシタンス C_r が作用する。この反転キャパシタンス C_r のために、このMOS電界効果トランジスタT。のドレイン電極Dとゲート電極Gとの間でノイズ電流I_nが発生する可能性がある。

【0024】この回路配置10には、放電回路12が設けられており、この放電回路12は、MOS電界効果トランジスタT。のゲート電極Gとソース電極Sとの間で、2個の電子スイッチを介して切換え可能となっている。この放電回路12を介して、ゲート・ソースキャパシタンス C_{gs} 中に蓄積された電荷を、時定数“ τ ”に従って、トランジスタT。のスイッチオフ動作中に放電させることができる。この時定数の値は、この放電回路12の内部インピーダンスZ_iに依存するものである。

【0025】この放電回路12には、並列接続された2つの電流通路14および16が設けられており、各通路では、共通にそれぞれ制御される2つの電子スイッチN1およびN2が設けられている。しかし乍ら、一般には、このMOS電界効果トランジスタT。のゲート電極Gの2つの並列な電流通路14、16を、単一の共通スイッチで動作させるほうが実行可能なものである。

【0026】また、電流通路14には、直列接続された3個の抵抗R1、R2、R3から成る分圧器が設けられている。この電流通路14を、電子スイッチN1の直列回路を経てMOS電界効果トランジスタT。のゲート電極Gに接続する一方、点Mで接地する。この電子スイッチN1を閉路すると、この放電回路12の電流通路14は、比較的大きな内部インピーダンスZ_iを有するようになり、このインピーダンスは、上述の3個の抵抗R1、R2、R3によって実質的に決定される。

【0027】MOS電界効果トランジスタT。のゲート電極Gと並列であると共に、電子スイッチN2を経て切換え可能な放電回路12の電流通路16には、もう1つの

電子スイッチN4が設けられており、この電子スイッチN4が電子スイッチN2と直列接続されている。電子スイッチN2とN4とが閉路されると、この放電回路12の電流通路16は比較的小さな内部インピーダンスを有し、このインピーダンスは、實際上、ゼロの領域の値である。

【0028】地点Mで接地されると共に、電子スイッチN2を経てMOS電界効果トランジスタT。のゲート電極Gに接続された電流通路16の電子スイッチN4は、スイッチングトランジスタN3を介して制御可能である。このスイッチングトランジスタN3のゲートは制御電圧U_gを受信し、この制御電圧U_gは、分圧器R1~R3の内の2つの抵抗R1とR2との接続点から引出されると共に、これら抵抗R2、R3間の電圧降下によって決定される。図示した実施例では、このスイッチングトランジスタN3が電界効果トランジスタによって構成され、このトランジスタのソース電極が地点Mで接地されると共に、ゲート電極Gがこれら2つの抵抗R1、R2間の接続点に接続される。

【0029】電子スイッチN4を制御するための制御出力を構成するスイッチングトランジスタN3のドレイン電極を、定電流源18に接続し、この定電流源18によって電源電圧V_{cc}を受けると共に、供給された電流Iを送給する。

【0030】この制御出力、即ち、スイッチングトランジスタN3のドレイン電極を介して、もう1つの電子スイッチN5を制御可能とし、スイッチングトランジスタN3がオフの場合に、この電子スイッチN5を介して、抵抗R3をバイパスすることができる。従って、これら2つの電子スイッチN4およびN5をスイッチングトランジスタN3によって、以下の方法で制御する。即ち、スイッチングトランジスタN3がオンの場合に、これら電子スイッチN4、N5を開放とし、オフの場合に、閉路とするように制御する。

【0031】また、図示の実施例では、これら総ての電子スイッチN1~N5の各々を、電界効果トランジスタで構成するので、この結果として、電子スイッチN4、N5の2つのゲート電極をスイッチングトランジスタN3のドレイン電極に接続すると共に、電子スイッチN1、N2の2つのゲート電極を共通に、制御放電信号S₁を介して制御することができる。この制御放電信号S₁を出力E₁に供給することができ、この出力E₁を2つの電子スイッチN1とN2のゲート電極に接続すると共に、この出力を介して、ゲート・ソースキャパシタンス C_{gs} の放電が実行されると共に、これによって、MOS電界効果トランジスタT。のゲート・ソース電圧V_{gs}の低下が行われる。

【0032】電流通路14の3個のオーミック抵抗R1、R2、R3を具備した分圧器を適切に設計するので、放電回路12が放電信号S₁を介して動作状態になった場

合に、スイッチングトランジスタN3がオフとなり、これによって、この放電回路12に印加されたゲート・ソース電圧 U_g が割り当て可能なクランプ値 U_{∞} （即ち、図4）より低い値に低下してしまうと直ぐに、この電流路16の電子スイッチN4を閉路するようになる。このクランプ値を有効的に選択することによって、MOS電界効果トランジスタT。の対応のドレイン電流 I_d が、無視できるような小さな値、これはゼロの領域内であることが望ましい値を有するようになる。

【0033】MOS電界効果トランジスタT。をスイッチオン（導通）するために、充電回路20を設ける。この充電回路20には、充電用抵抗 R_c と直列に電子スイッチN6が設けられ、この充電用抵抗 R_c を経て、MOS電界効果トランジスタT。のゲート・ソースキャパシタンス C_{gs} を、電圧 V_g まで充電することができ、この電圧 V_g を電子スイッチN6を経て充電用抵抗 R_c に印加することができる。

【0034】電界効果トランジスタによって構成された電子スイッチN6のゲート電極を、入力 E_i に接続する。MOS電界効果トランジスタT。をオンしようとすると共に、これによってそのゲート・ソースキャパシタンス C_{gs} を充電しようすると直ぐに、制御充電信号をこの入力 E_i に供給することができる。

【0035】図4Aは、図3で示したような本発明による回路配置10によって制御されたMOS電界効果トランジスタT。のゲート・ソース電圧 U_g のスイッチオフ動作のプロフィールを表わしている。これと比較して、図4Bは、図3に示すような本発明による回路配置10の放電回路12の内部インピーダンス Z_i の時間プロフィール（スイッチオフ動作中の）を表わしている。

【0036】本発明による、この回路配置の機能は以下の通りである。

【0037】MOS電界効果トランジスタT。をスイッチオンするためには、入力 E_i は制御充電信号 S_i を受信する必要がある、これによって電子スイッチN6を閉路する。また、他方の入力 E_i には制御充電信号が存在しないので、電子スイッチN1、N2は開放のままである。従って、MOS電界効果トランジスタT。のゲート電極Gは、充電回路20を単に受けるだけであるから、この結果として、ゲート・ソースキャパシタンス C_{gs} を充電用抵抗 R_c を介して電圧 V_g まで充電する。

【0038】MOS電界効果トランジスタT。をスイッチオフしたい場合には、他方の入力 E_i によって制御放電信号 S_o を受信する必要がある、この信号によって、放電回路12の2つの電流路14、16内の電子スイッチN1、N2を閉路する。この結果、この放電回路12がMOS電界効果トランジスタT。のゲート電極Gに与えられ、これによって、ゲート・ソースキャパシタンス C_{gs} の放電が禁止されるようになる。このような状況の下では、充電回路20の電子スイッチN6が再度開放さ

れ、このことは入力 E_i における制御放電信号 S_o が減衰したことによって起る。

【0039】放電動作が開始されると共に、電子スイッチが閉路されると、分圧器 $R_1 \sim R_3$ はMOS電界効果トランジスタT。のゲート・ソース電圧 U_g を受ける。この電圧 U_g は、電圧 V_g （即ち、図4A）とほぼ等しいままである。

【0040】時刻 t_1 で電子スイッチN1が閉路されるとすぐに、MOS電界効果トランジスタT。のゲート・ソース電圧 U_g および分圧器 $R_1 \sim R_3$ の設計値に依存して、制御電圧 U_g が急に現われるようになる。現在、この分圧器 $R_1 \sim R_3$ は、スイッチングトランジスタN3が電子スイッチN1の閉路と一緒にオン（閉路）となるように設定されているので、抵抗 R_3 および電流路14内の電子スイッチN4をバイパスする電子スイッチN5が開放されるようになる。

【0041】この電子スイッチN5が開放されることに基因して抵抗 R_3 が回路中に挿入され、このことは、スイッチングトランジスタN3の出力信号をこれの入力に正帰還されるのと等価なものとなり、この結果として、このスイッチングトランジスタN3は、比較的急速にスイッチオン（ハード的にオン）するようになる。

【0042】従って、このような初期スイッチオフフェイズ期間中、MOS電界効果トランジスタT。のゲート・ソースキャパシタンス C_{gs} が、分圧器 $R_1 \sim R_3$ の抵抗 R_1 、 R_2 の直列回路構成を介して放電するようになる。これら抵抗 R_1 、 R_2 、 R_3 の合計値が規定されるので、この結果として、この放電回路12の電流路14に対して、比較的高い内部インピーダンスが得られ、これによって、ゲート・ソースキャパシタンス C_{gs} が、最初に、所望の時定数 t 、一般に、比較的大きな時定数 t に従って放電するようになる。この初期放電フェーズ期間中、放電回路12は比較的大きな内部インピーダンス $Z_{i1/2}$ を有するようになり、このインピーダンス $Z_{i1/2}$ （図4B）は、電流路14によって排他的に決定される。

【0043】MOS電界効果トランジスタT。のゲート・ソース電圧 U_g が、指定可能なクランプ値 U_{∞} （即ち、図4A）より下るとすぐに、スイッチングトランジスタN3用の抵抗 R_2 、 R_3 間の制御電圧 U_g が、このトランジスタN3がオフとなる程度まで降下してしまう。時刻 t_1 （図4Aおよび図4B）に、2つの電子スイッチN4とN5がトランジスタN3のオフ動作を介して閉路されるので、この結果として、電流路14中の抵抗 R_2 がバイパスされる一方、MOS電界効果トランジスタT。のゲート・ソースキャパシタンス C_{gs} を、放電回路12の電流路16の2つの閉路した電子スイッチN2、N4を経て實際上、短絡するようになる。時刻 t_1 現在で、図4Aで示したように、ゲート・ソースキャパシタンス C_{gs} の残留放電が、ゲート・ソース電圧 U_g の

時間プロファイルの急峻な傾きで急激に行われる。

【0044】図4Bから明らかなように、放電回路12の内部インピーダンス Z_i は、時刻 t_i に、比較的高い値 $1/2$ からゼロの領域中の比較的低い値 Z_i' まで急激に低下する。初期放電フェーズ中に、比較的大きなインピーダンス Z_i は、分圧器 $R_1 \sim R_3$ を含む電流路14によって規定される一方、比較的低い内部インピーダンス Z_i' が、電流路16の開路された、即ちスイッチオンされた電子スイッチN2、N4の2つの無視可能な小さな出力インピーダンスの合計値から得られるようになる。

【0045】開路した電子スイッチN5によって抵抗R3がバイパスされることにより、オフポイントに対するスイッチングトランジスタN3の戻りのオンポイントが上昇して、ヒステリシス現象が生じる。従って、このスイッチングトランジスタN3の繰返しオン動作のために、ゲート・ソース電圧 U_g が、スイッチオフ期間中の電圧 U_{gs} に比べて高くなる必要がある。

【0046】

【効果】実際には、オフ状態の下でのMOS電界効果トランジスタT。のゲート電極Gに対して、電流路16によって決められたように、比較的低い内部インピーダンス Z_i' によってのみ負荷が掛かるので、反転キャパシタンス C_r を介して、この回路中に導入されるあらゆるノイズ信号I。に関して、ゲート電圧を、このゲート電圧によってトランジスタT。が不所望に繰返しオンとなる程度まで増大することは出来なくなる。換言すれば、これらノイズ信号I。によって、トランジスタT。は繰返しオン状態となることが防止できる。

【0047】以上の説明に関して、更に、以下の項を開示する。

1. 金属酸化半導体(MOS)電界効果トランジスタ、特に、パワーMOS電界効果トランジスタT。のゲートを制御するに当り、このMOS電界効果トランジスタT。のゲート電極Gとソース電極Sとの間に、切換え可能な放電回路12を設け、この放電回路12を介して、ゲート・ソースキャパシタンス C_{gs} に保持された電荷を、この放電回路12の内部インピーダンス Z_i に依存した値を有する時定数 τ に従って放電し得るようにした回路配置において、上記MOS電界効果トランジスタT。のゲート・ソース電圧 U_{gs} が予め決められた限度値 $U_{gs\max}$ より下に低下すると直ぐに、比較的小さな内部インピーダンスによって規定された状態になるものとし、上記放電回路12を、比較的大きな内部インピーダンスおよび上記比較的小さな内部インピーダンス Z_i のそれぞれによって規定された2つの状態の間で切換えるようにしたことを特徴とする回路配置。

【0048】2. 上記ゲート・ソース電圧 U_{gs} が上記予め決められた限度値 $U_{gs\max}$ より下降した場合に、上記放電回路12の内部インピーダンス Z_i がゼロの領域内の

値となることを特徴とする第1項記載の回路配置。

【0049】3. 上記ゲート・ソース電圧 U_{gs} を適切に選択することによって、上記限度値 $U_{gs\max}$ に対応したドレイン電流 I_d がゼロの領域内の値となるようにしたことを特徴とする第1項または第2項記載の回路配置。

【0050】4. 上記放電回路12を並列接続した2つの電流路14、16によって構成し、これら電流路の一方14によって、上記比較的高いインピーダンス値を禁止するようにすると共に、他方の電流路16によって、比較的小さなインピーダンス値を禁止するこの電流路16を、上記ゲート・ソース電圧 U_{gs} が上記予め決められた限度値 $U_{gs\max}$ を超えると直ぐに、バイパスすることができるようにしたことを特徴とする第1項～第3項のいずれかに記載の回路配置。

【0051】5. 上記放電回路12の比較的小さな内部インピーダンスを決定する上記電流路16を、上記ゲート・ソース電圧 U_{gs} の関数として制御された電子スイッチN4を介して開路できるようにしたことを特徴とする第4項記載の回路配置。

【0052】6. 上記電子スイッチN4をスイッチングトランジスタN3を経て制御可能とし、このトランジスタのゲートGは制御電圧 U_{gs} を受信し、この制御電圧 U_{gs} を、上記比較的大きな内部インピーダンスを決定する上記電流路14中の分圧器 $R_1 \sim R_3$ からタップで取出すことができるようにしたことを特徴とする第5項記載の回路配置。

【0053】7. 上記スイッチングトランジスタN3を経て、もう1つの電子スイッチN5を制御可能とし、この電子スイッチN5を介して、上記分圧器 $R_1 \sim R_3$ に割り当てられた抵抗R3をバイパスすることができ、これは、この分圧器 $R_1 \sim R_3$ に印加されたゲート・ソース電圧 U_{gs} が上記予め決められた限度値 $U_{gs\max}$ より低下すると直ぐに、行われ、これによって上記制御電圧 U_{gs} が低下するようにしたことを特徴とする第6項記載の回路配置。

【0054】8. 上記スイッチングトランジスタN3を定電流源18に接続したことを特徴とする第6項または第7項記載の回路配置。

【0055】9. 上記放電回路12を、放電信号 S_d の関数として制御可能な少なくとも1つの電子スイッチN1、N2を経て、上記MOS電界効果トランジスタT。に接続できるようにしたことを特徴とする第1項～第8項のいずれかに記載の回路配置。

【0056】10. 上記放電回路12の並列接続された、2つの電流路14、16の各々において、一方の電子スイッチN1、N2を上記放電信号 S_d を経て制御用に配列したことを特徴とする第9項記載の回路配置。

【0057】11. 上記MOS電界効果トランジスタT。のゲート電極Gを、充電抵抗R。を有する充電回路20に接続できるようにしたことを特徴とする第1項～第

10項のいずれか記載の回路配置。

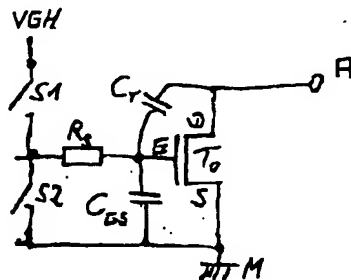
【0058】12. 上記充電回路20を電子スイッチN6を介して上記MOS電界効果トランジスタT₁に接続できるようにし、この電子スイッチN6を上記充電信号S₁の関数として制御可能とすると共に、上記充電抵抗R₁と直列接続したことを特徴とする第1項記載の回路配置。

【0059】13. MOS電界効果トランジスタT₁のゲートを制御するに当り、放電回路12を設け、これを介して、ゲート・ソースキャパシタンスC_{gs}中に保持された電荷を、この放電回路12の内部インピーダンスに依存した値を有する時定数に従って放電可能とする。この放電回路12を、ゲート・ソース電圧U_{gs}が予め決められた限度値より低下したら直ぐに、比較的小さな内部インピーダンスによって規定される状態が生じた場合に、この比較的小さな内部インピーダンスと比較的大きな内部インピーダンスとによって決められた2つの状態間で切換え可能としたことを特徴とする回路配置。

【図面の簡単な説明】

【図1】オーミック抵抗を介して、金属酸化物半導体 *20

【図1】



* (MOS) 電界効果トランジスタのゲートを制御する従来の回路配置。

【図2】与えられた電流を介してMOS電界効果トランジスタのゲートを制御する従来の回路配置。

【図3】本発明のMOS電界効果トランジスタのゲートを制御する回路の原理を示す回路配置。

【図4】Aはスイッチオフ動作期間中における、図3に示した本発明による回路配置によって制御されたMOS電界効果トランジスタのゲート・ソース電圧の時間プロフィールを示す図。Bは図3に示した本発明による回路配置の放電回路の内部インピーダンスの時間プロフィールを示す図。

【符号の説明】

10 回路配置

12 放電回路

14, 16 電流路

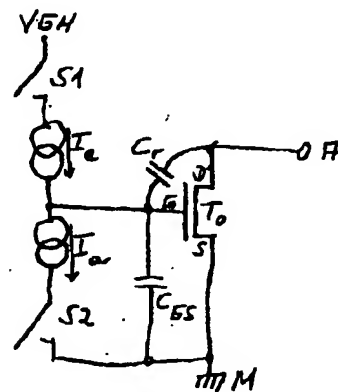
18 電流源

20 充電回路

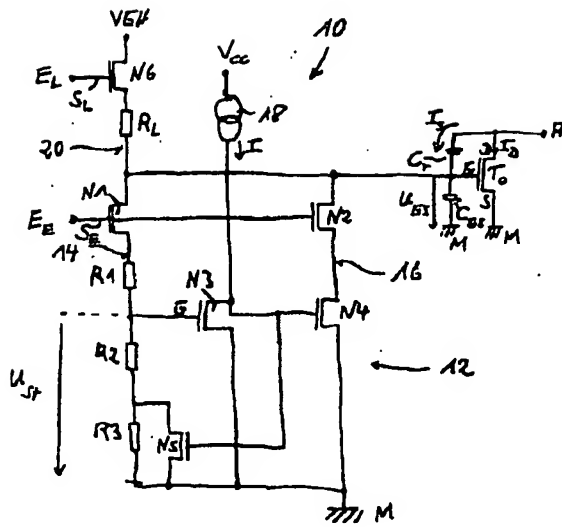
T₁ MOS電界効果トランジスタ

N1~N5 電子スイッチ

【図2】



【図3】



【図4】

